

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2000-510288

(P2000-510288A)

(43)公表日 平成12年8月8日(2000.8.8)

(51) Int.Cl.  
H 01 L 27/00  
// H 01 L 25/065  
25/07  
25/18

識別記号  
3 0 1

F I  
H 01 L 27/00  
25/08

テマコト<sup>®</sup> (参考)

3 0 1 B  
B

審査請求 有 予備審査請求 有 (全 41 頁)

(21)出願番号 特願平10-520556  
(86) (22)出願日 平成9年10月27日(1997.10.27)  
(85)翻訳文提出日 平成11年4月9日(1999.4.9)  
(86)国際出願番号 PCT/US97/18979  
(87)国際公開番号 WO98/19337  
(87)国際公開日 平成10年5月7日(1998.5.7)  
(31)優先権主張番号 60/030,425  
(32)優先日 平成8年10月29日(1996.10.29)  
(33)優先権主張国 米国(US)  
(81)指定国 EP(AT, BE, CH, DE,  
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR, US

(71)出願人 トルーサイ・テクノロジーズ・エルエルシ  
ー  
アメリカ合衆国カリフォルニア州94086-  
サニーベイル・ノースバストリアアベニュー  
ー 657  
(72)発明者 シニアギン、オレグ  
アメリカ合衆国カリフォルニア州95060-  
サンタクルス・ノベルドライブ 1047  
(74)代理人 弁理士 大島 肇一

(54)【発明の名称】 集積回路及びその製造方法

(57)【要約】

縦型集積回路において用いるのに適した背面側コンタクトパッドを製造するために、ウエハ(110)の表面側にピアが形成され、誘電体(140)及びコンタクトパッド金属(150)がそのピア内に堆積する。その後その金属が露出するまで(150C)ウエハ背面側がエッティングされる。そのエッティングによりピア底面(140A, 140B)において絶縁体が露出するとき、その絶縁体はウエハ材料(例えばシリコン)より遅くエッティングされる。それゆえ誘電体がエッティング除去され、金属が露出するとき、誘電体は、その露出した金属コンタクトパッド周囲において、ある実施例では約8μmだけウエハ背面側から下方に突出する。コンタクトパッドが下側をなす回路にはんだ付けされるとき、突出した誘電体部分がウエハとコンタクトパッドとの間の絶縁性を改善する。

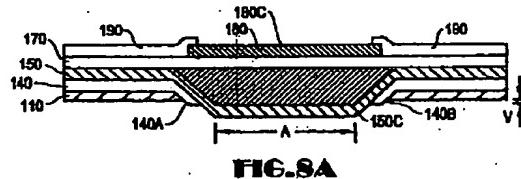


FIG.8A

**【特許請求の範囲】**

1. 集積回路を製造するための方法であって、

第1の側に1つ或いはそれ以上の開口部を有する本体を設ける過程と、

前記1つ或いはそれ以上の各開口部内に第1の誘電体及び導体を形成する過程であって、前記各開口部内の前記導体が、前記第1の誘電体により前記本体から隔離される、該過程と、

前記本体の第2の側から材料を除去し、前記各開口部の前記導体を露出させる過程とを有し、前記材料の前記除去過程が、前記第1の誘電体の除去速度が前記本体の材料の除去速度より遅くなる処理からなることを特徴とする方法。

2. 前記処理において、前記第1の誘電体の前記処理速度が、前記本体の前記材料の前記処理速度の約10分の1であることを特徴とする請求項1に記載の方法。

3. 前記処理において、前記誘電体の前記処理速度が前記導体の前記処理速度より速いことを特徴とする請求項1に記載の方法。

4. 前記本体の前記第2の側からの前記材料の除去に後続して、前記第2の側上に露出した前記導体上を除いて、前記本体の前記第2の側上に第2の誘電体を形成する過程を有することを特徴とする請求項1に記載の方法。

5. 前記第2の側から材料を除去する過程が、前記本体が非接触ホルダ内に保持され、概ね常圧で前記本体の前記第2の側をプラズマエッティングする過程からなることを特徴とする請求項1に記載の方法。

6. 前記第2の側からの前記材料の除去が完了する前に、前記本体をダイシングする過程をさらに有し、

前記第2の側から材料を除去する過程が、個々のダイから材料を除去する過程からなることを特徴とする請求項1に記載の方法。

7. 前記第2の側から材料を除去する過程が、

前記本体がダイシングされる前に前記第2の側から材料を除去する過程と、

前記本体がダイシングされた後に個々のダイから材料を除去する過程とからなることを特徴とする請求項6に記載の方法。

8. 個々のダイから材料を除去する過程に先行して、前記本体の前記ダイを検査する過程を有し、個々のダイから前記材料を除去する過程が、前記検査に合格したダイ上でのみ実行されることを特徴とする請求項 6 に記載の方法。

9. 前記本体が半導体材料からなることを特徴とする請求項 1 に記載の方法。

10. 前記第 2 の側からの前記材料の除去後に、別の集積回路のコンタクトパッドと接触する少なくとも 1 つの露出した導体を用いて、前記本体の少なくとも 1 つの集積回路を 1 つ或いはそれ以上の他の集積回路に接続し、縦型集積回路を形成する過程をさらに有することを特徴とする請求項 1 に記載の方法。

11. 集積回路であって、

本体の第 1 の側内に或いはその上に形成される 1 つ或いはそれ以上の回路素子を有する半導体本体と、

前記本体の第 2 の側から突出する 1 つ或いはそれ以上の導電性コンタクトであって、少なくとも 1 つのコンタクトが、1 つ或いはそれ以上の導電線により前記第 1 の側内に或いはその上に形成される 1 つ或いはそれ以上の回路素子に接続される、該導電性コンタクトと、

各コンタクトを前記本体から隔離する誘電体であって、各コンタクトに隣接する前記誘電体が、各コンタクト周囲の前記第 2 の側の前記半導体材料から突出する、該誘電体とを有することを特徴とする集積回路。

12. 各コンタクト周囲の前記誘電体が、前記第 2 の側に垂直な方向において少なくとも  $8 \mu m$  だけ前記第 2 の側の前記半導体材料から突出することを特徴とする請求項 11 に記載の集積回路。

13. 前記コンタクトを除いて、前記回路の前記第 2 の側を被覆する誘電体をさらに備えることを特徴とする請求項 11 に記載の集積回路。

14. 前記コンタクトの少なくとも 1 つが別の集積回路上の導電性コンタクトと接触するように 1 つ或いはそれ以上の他の集積回路と結合して、前記結合により縦型集積回路が形成されることを特徴とする請求項 11 に記載の集積回路。

15. 集積回路を製造するための方法であって、

第 1 の側に 1 つ或いはそれ以上の開口部を有する本体を設ける過程と、

前記各開口部内の導体が第1の誘電体により前記本体から隔離されるように、前記1つ或いはそれ以上の各開口部内に前記第1の誘電体及び前記導体を形成する過程と、

前記本体の第2の側から材料を除去し、各開口部の前記導体を露出する過程と

1つ或いはそれ以上のコンタクト上に誘電体層を形成しない処理により、前記本体の前記第2の側上に誘電体層を形成する過程とを有することを特徴とする方法。

16. 前記本体の前記第2の側上に前記誘電体層を形成する過程が、前記第2の側を、前記本体の前記材料と反応する化学種を含むプラズマに暴露し、前記1つ或いはそれ以上のコンタクト上に誘電体を形成することなく前記誘電体層を形成する過程からなることを特徴とする請求項15に記載の方法。

17. 縱型集積回路を製造するための方法であって、

複数の個別の集積回路を製造する過程を有し、

前記個別の集積回路の製造が完了した後、さらに個別の集積回路が前記回路の最終厚に製造され、前記個別の集積回路を互いに付着し、縱型集積回路を形成することを特徴とする方法。

18. 前記個別の集積回路を製造する過程が、前記回路が非接触ホルダ内に保持され、前記個別の回路の少なくとも1つを背面側エッチングする過程からなることを特徴とする請求項17に記載の方法。

19. 集積回路を製造するための方法であって、

半導体ウエハから複数の集積回路を製造する過程であって、前記集積回路を有する前記ウエハが各集積回路の前記最終厚より厚い、該製造過程と、

前記ウエハをダイにダイシングする過程と、

1つ或いはそれ以上のダイが非接触ホルダ内に保持され、前記ウエハから得られる前記1つ或いはそれ以上のダイを薄型化する過程とを有することを特徴とする方法。

20. 複数の集積回路を製造する過程が、前記ウエハの第1の側内に或いはその

上に1つ或いはそれ以上の回路素子を製造する過程からなり、各ダイが前記ウエハの前記第1の側の一部である第1の側を有し、

前記薄型化処理中に、前記1つ或いはそれ以上の各ダイの前記第1の側が、前記1つ或いはそれ以上のダイの前記第1の側内に或いはその上に製造される1つ或いはそれ以上の回路素子がエッチングされるのを防ぐ前記非接触ホルダに面することを特徴とする請求項19に記載の方法。

21. 前記エッチング処理が、常圧におけるフッ素含有プラズマエッチングであることを特徴とする請求項19に記載の方法。

22. 前記ウエハがシリコンからなることを特徴とする請求項19に記載の方法。

23. 前記1つ或いはそれ以上のダイの前記薄型化過程に先行して、前

記集積回路が検査され、前記検査に合格したダイにおいてのみ薄型化が実行されることを特徴とする請求項19に記載の方法。

## 【発明の詳細な説明】

### 集積回路及びその製造方法

#### 発明の背景

本発明は集積回路に関連し、より詳細にはチップ相互接続及び半導体チップ背面側へのコンタクトパッドの形成、さらに回路素子製造後の集積回路の薄型化に関連する。

チップ「第2面」側にコンタクトを形成するためのいくつかの方法が、Bertin 等に 1993 年 12 月 14 日に付与された「Three Dimensional Multichip Package Methods of Fabrication」というタイトルの米国特許第 5, 270, 261 号に開示される。さらに別の技術が望まれている。

#### 発明の概要

本発明は半導体ダイ（或いは「チップ」）において背面側コンタクトパッドを形成するための方法を提供する。背面側コンタクトパッドは、ダイを、そのダイの下側をなすダイに接続し、マルチダイ縦型集積回路を形成するのに適している。また本発明は縦型集積回路を提供する。さらに本発明は、ダイが縦型集積回路の一部であるか否かにかかわらず個々のダイを薄型化するための方法を提供する。

本発明のいくつかの実施例では、背面側コンタクトパッドは以下のように形成される。半導体ウエハの表面側をマスクを用いてエッチングすることにより、背面側コンタクトパッドが形成されるべき各位置においてビアが形成される。誘電体がそのビア上に堆積し、導電性層（例えば金属）がその誘電体上に堆積する。各ビアにおける導電性層の底面部分が背面側コンタクトパッドを形成することになる。

集積回路が形成された後、背面側コンタクトパッドが露出するまで、ウエハが背面側からエッチングされる。そのエッチングにより、基板を

パッドから分離する誘電体がエッチングされるよりも速くウエハ基板がエッチングされる。それゆえ誘電体が各背面側コンタクトパッド周囲の基板に対して下方に突出するようになり、ウエハ基板は誘電体より低くなる。こうして誘電体は

基板から背面側コンタクトパッドを絶縁する。

いくつかの実施例では、ウエハは背面側エッチング中に非接触ウエハホルダにより保持される。ウエハの表面側はそのホルダに物理的に接触はしない。それゆえエッチング中にウエハを保護するために表面側を保護層で覆う必要はない。さらにホルダが表面側回路をエッチングから保護する。

ウエハは、背面側エッチング前後にダイにダイシングされる。

いくつかの実施例では、背面側コンタクトパッドは縦型集積化に用いられる。

いくつかの実施例では、ダイは縦型集積回路には用いられない。そのダイはその縦方向寸法を低減するために薄型化される。

他の実施例及び変形例も本発明の範囲内にある。

#### 図面の簡単な説明

第1図ー第7図、第8A図並びに第8B図は、背面側コンタクトパッドの製造工程における半導体ウエハを示す断面図である。

第9図及び第10図は、第8A図の背面側コンタクトパッドを有する3つのダイを示す。ダイは縦型集積回路において互いに接続されている。

第11図ー第13図は、背面側コンタクトパッドの形成工程における半導体ウエハを示す断面図である。

第14図及び第15図は、それぞれ縦型集積回路内に接続される3つのダイを示す。

第16図は、背面側エッチングにより半導体ウエハを薄型化するための方法及び装置を示す。

第17図及び第18図は、個々のダイを薄型化工程を示す。

#### 好適な実施例の詳細な説明

第1図は、背面側コンタクトパッドを備えた集積回路を有するダイをその一部に設けたウエハ104を示す。背面側コンタクトパッドは、そのダイと下側をなすダイとを接続し、「縦型集積回路」を形成するのに適している。2つのダイが互いの上側に積層され、その回路が占有する横方向面積を低減するであろう。

ウエハ104はシリコン基板110を含む。いくつかの実施例ではウエハは、

基板 110 内、基板 110 上並びにまた基板 110 下に、トランジスタ、コンデンサ、抵抗、導電線並びにまた他の回路素子、或いは回路素子の一部を形成するように処理されている。他の実施例では、いかなる回路素子の部分も形成されていない。ウエハの厚さは、製造されるダイの厚さより厚くなる。いくつかの実施例では、ウエハ 104 は  $600 - 750 \mu\text{m}$  厚（寸法 W が  $600 - 750 \mu\text{m}$ ）である。集積回路の製造が完了するとき、ウエハはウエハ背面側 104B をエッチングすることにより薄型化されるであろう。いくつかの実施例では、ダイの最終的な厚さは  $100 - 350 \mu\text{m}$  以下である。他の実施例では、他の厚さが実現される。製造の初めの段階においてより厚いウエハを与えることにより、ウエハの強度が増し、その結果、製造歩留りが改善される。

第 1 図—第 3 図は、背面側コンタクトパッドが製造されるビアを形成するためのウエハ表面側上のシリコン基板 110 のエッチング処理を示す。第 1 図に示されるように、アルミニウム層 120 がシリコン 110 上に堆積する。いくつかの実施例では、アルミニウム層は  $0.8 - 1.2 \mu\text{m}$  厚であり、別の実施例では  $1 \mu\text{m}$  厚である。他の実施例では、他

の厚さが用いられる。フォトレジスト（図示せず）が堆積し、パターニングされる。アルミニウム 120 はエッチングされ、シリコン 110 を露出する開口部 124 を形成する。いくつかの実施例では、アルミニウム 120 は酸浸漬によりエッチングされる。いくつかの実施例では、アルミニウム 120 は C1 系真空プラズマエッチングによりエッチングされる。C1 系真空プラズマエッチングは、「VLSI Electronic Microstructure Science」、Vol. 「Plasma Processing for VLSI」 (edited by Norman G. Einspruch, Academic Press, Inc. 1984) に記載されており、ここで参照して本明細書の一部としている。他の実施例では、他のアルミニウムエッチングが用いられる。

開口部 124 の幅が A として示される。いくつかの実施例では、開口部 124 は直径 A の円である。他の実施例では、開口部は一辺が A を有する正方形である。他の実施例では、他の開口部形状が用いられる。開口部の中央部は、対応する背面側コンタクトの中央部真上に位置する。開口部寸法は、開口部下側に形成さ

れる背面側コンタクトパッドの寸法以下である。

開口部 124 と同様の他の開口部が、各背面側コンタクトパッドの位置に同時に形成される。種々の開口部が、同一のウエハにおいて異なる形状及び寸法を有する場合もある。

フォトトレジストは剥離され、アルミニウム 120 をマスクとして、シリコン 110 がエッチングされる（第 2 図）。いくつかの実施例では、シリコンエッチングは、上記 Vol. 「Plasma Processing for VLSI」 に記載される等方性真空プラズマエッチングである。他の実施例では、他の既知のエッチングが用いられる。エッチングにより、各背面側コンタクトパッドの位置に深さ B のビア 130 が形成される。第 2 図及び第 3 図には 1 つのビア 130 のみが示される。ビアの深さ B は、製造されるダ

イの最終的な厚さと少なくとも同じ厚さである。いくつかの実施例では、ビア 130 の底面側は、アルミニウム 120 の対応する開口部 124 と同じ形状及び寸法を有する。ビアは上側に行くに従って大きくなる。第 3 図に示されるように、いくつかの等方性エッチング実施例では、ビア 130 の上側の寸法は、ビア底面のそれぞれの寸法より  $2B$ だけ大きくなる。他の実施例では上側寸法は  $A + 2C$  である。ただし  $C \neq 0$  であり、例えば  $0 \leq C \leq B$  である。エッチングが完全に異方性縦方向エッチングである場合（例えば水平方向エッチングレートが 0 である場合。これはいくつかの既知の反応性イオンエッチングの場合に有効である。） $C = 0$  である。

アルミニウム 120 は、酸浸漬或いは当技術分野において既知の別の方法で除去される（第 3 図）。

いくつかの実施例では、ビア 130 のエッチングにおいて用いられるマスクはフォトトレジストからなる。アルミニウムはマスクとして用いられない。しかしながら、ビアの深さ B が  $20 \mu m$  を超える実施例では、マスクはアルミニウム、或いはビア 130 のシリコンエッチングに対して十分な耐性を有する他の材料から形成される。

誘電体層 140（第 4 図）はウエハ上に堆積する。他の実施例では、層 140

はドープされない二酸化シリコン並びにまたBPSGであり、 $1 - 2 \mu\text{m}$ 厚、例えば $1 \mu\text{m}$ 厚である。他の実施例では、他の材料或いは厚さが用いられる。第4図では、層140は常圧で化学気相成長することにより形成されるBPSGである。シリコン110上側とビア130下側との間の距離はBに等しいままである。他の実施例では、熱酸化を含む他の成膜技術が用いられる。

導電性層150（第5図）は誘電体140上に堆積する。いくつかの実施例では、層150はアルミニウム、金或いはニッケルからなる。

8-1.  $2 \mu\text{m}$ （例えば $1 \mu\text{m}$ ）層である。これらの金属は真空スパッタリングにより堆積させることができる。他の実施例では、層150は、コンタクトパッドのためにVLSIにおいて用いられる他の金属或いは合金、例えばシリコン或いは銅、またはその両方をドープされたアルミニウムである。Al/Si/Cuを用いる実施例では、層150の厚さは $0.8 - 1.2 \mu\text{m}$ である。ビア130内の層150の底面部分150Cが背面側コンタクトパッドを形成するであろう。

ビア130内の底面部分150Cは、それぞれの開口部124（第1図）と同じ寸法（例えばA）を有する。

二酸化シリコンガラス層160（第6図）はTEOSから堆積し、ビア130を充填するためにウエハ上にスピノンされる。酸化物160は平坦な上側表面を有する。いくつかの実施例では、ビア内に空隙は残されない。余剰の酸化物160はプランケットエッチングによりウエハからエッチング除去され、酸化物はビア130内には残されるが、ビアの外側には残されず、ウエハの上側表面は平坦になる。

他の実施例では、ビア130を充填するために他の材料及び処理が用いられる。

導電性層150は標準的なフォトリトグラフィ技術によりパターニングされ、ビア130の背面側コンタクトパッド150Cを集積回路素子に接続する導電線（図示せず）を形成する（これらの素子の形成はこの時点ではまだ完了していない場合もある）。

いくつかの実施例では層 150 は、酸化物 160 の堆積後ではなく、酸化物 160 の堆積前に第 5 図の段階にパターニングされる。金属 150 をパターニングするために用いられるフォトレジストマスク（図示せず）がビア 130 内部の金属を保護する。パターニング後、マスクは除去され、スピンドルガラス（SOG）160 が TEOS から堆積する。

ガラス 160 はウエハを平坦化するために用いられる。

その後のステップは、他の回路素子及び特に表面側コンタクトパッドを形成して、集積回路の製造を完了するために実行される。第 7 図の実施例では、これらのステップは以下のものを含む。

1. 誘電体層 170（ドープされない二酸化シリコン並びにまた BPSG、 $1 \mu\text{m}$  厚）の化学気相成長。層 170 は必要に応じて回路を製造するためにパターニングされる。

2. 誘電体 170 上への最終的な金属層 180（例えば Al/Si からなる $0.8 - 1.2 \mu\text{m}$  層）の堆積。金属 180 は表面側コンタクトパッドを形成するためにパターニングされる。第 7 図の実施例では、1 つのそのようなパッド 180C が背面側パッド 150C の上側をなす。

3. 層 180 上への保護誘電体 190（ドープされない二酸化シリコン並びにまた BPSG、 $1 \mu\text{m}$  厚）の堆積。

4. 金属 180において下側をなすコンタクトパッドを露出するための誘電体 190 のマスクエッチング。

その後ウエハ 104 背面が、常圧プラズマエッチングによりエッチングされる。  
・常圧プラズマエッチングは O. Siniaguine, 「Plasma Jet Etching at Atmospheric Pressure for Semiconductor Production」, 1996 1st International Symposium on Plasma Process-Induced Damage, May 13-14, 1996, California, U.S.A., pages 151-153 に記載されており、ここで参照して本明細書の一部としている。

適当なエッチング剤は、IPEC/Precision, Inc. of Bethel, Connecticut から購入できる PaceJet II (登録商標) であり、以下の付録に記載される。また参照して本明細書の一部としている「PACEJET II - The Revolutionary, Enabling Tech

nology for Material Removal] (IPEC/Precision, 1996) も参照されたい。別の適当なエッティング剤は、「Plasma Jet Etching.

Technology and Equipment. Silicon Wafer Thinning & Isotropical Etching at Atmospheric Pressure] (Az Corporation, Geneva, Switzerland, SEMICON /EUROPA' 95), April 1995に記載されるタイプPLASM-AZ-05のプラズマエッティング剤である。また参考して本明細書の一部としているPCT出願、1996年6月18日公告のWO 96/21943、1992年6月23日公告のWO 92/12610、1992年6月23日公告のWO 92/12273も参照されたい。プラズマは、常圧に保持されたフッ素含有プラズマである。エッティングパラメータは以下のようになる。常圧で周囲温度においてAr (1 s 1 m) + CF<sub>4</sub> (3 s 1 m) プラズマである（「S 1 m」は標準1/m inを表す）。DC電力は12 kWである。ウェハ温度は約300°Cである。シリコンエッティング速度は、8インチウェハの場合約10 μm/m inである。こうしてウェハを1時間で720 μm厚から120 μm厚までエッティングすることができる。別法では、1時間当たり1.6ウェハを、720 μmから360 μmまでエッティングすることができる。そのエッティングは以下に記載される第16図に示される。

このエッティングにより、BPSG 140はシリコンより約10分の1の速度でエッティングされる。

そのエッティングにより、層150のアルミニウム、金或いはニッケルはエッティングされない。

その結果形成される構造体が第8A図に示される。背面側エッティング中に二酸化シリコン140が露出するとき、そのエッティングにより、二酸化シリコン140はシリコン110の約8分の1～10分の1の速度でエッティングされる。それゆえ、二酸化シリコンが背面側コンタクトパッド150Cからエッティング除去されると、金属150周囲の二酸化シリコンの底面部分140A及び140Bは、シリコン110よりさら

に下方に突出する。この突出部分140A及び140Bにより、シリコン基板1

10が金属150から絶縁されるようになる。酸化物140が $1\text{ }\mu\text{m}$ 厚であるいくつかの実施例では、 $10\text{ }\mu\text{m}$ のシリコンが、 $1\text{ }\mu\text{m}$ の酸化物140が背面側コンタクトパッド150Cからエッティング除去される間にエッティングされる。こうして突出する酸化物部分140A及び140Bの縦方向寸法Vは $8-10\text{ }\mu\text{m}$ （いくつかの実施例では少なくとも $9\text{ }\mu\text{m}$ ）であり、いくつかの実施例において、背面側コンタクトパッド150Cをシリコン基板から十分に絶縁する。

いくつかの実施例では酸化物140はさらに厚く、コンタクトパッド150C露出後に残される突出部分140A及び140Bの縦方向寸法Vはより大きくなる。

いくつかの実施例では、プラズマ処理を継続して、ウエハ背面側上に誘電体層192（第8B図）を成長させる。詳細には、そのエッティングが完了するとき、フッ素含有ガス（例えばCF<sub>4</sub>）は、プラズマ反応器において止められる。酸素（或いは水蒸気）、または窒素、または酸素及び窒素の両方（例えば空気）が、そのプラズマを供給される。酸素並びにまた窒素はシリコン110と反応し、酸化シリコン（SiO或いはSiO<sub>2</sub>）、窒化シリコンSiN<sub>x</sub>（例えばSi<sub>3</sub>N<sub>4</sub>）並びにまた酸窒化物SiO<sub>x</sub>N<sub>y</sub>を形成する。

いくつかの実施例では、誘電体192は $0.01-0.02\text{ }\mu\text{m}$ 厚であり、5V未満の供給電圧で駆動されるパッケージ後の縦型集積回路において信頼性の高い電気的絶縁性をもたらす。

第8B図のいくつかの実施例では、絶縁体192が300-500°Cのウエハ温度で成長する。酸素並びにまた窒素の濃度は20-80%である。窒素を用いずに酸素を用いるいくつかの実施例では、 $0.02\text{ }\mu\text{m}$ 厚の酸化シリコンを成長させるための処理時間は約10分である。層

192の厚さは、ウエハ温度を高く、酸素並びにまた窒素濃度を高く或いは処理時間を長くすることにより厚くすることができる。

層192を有する実施例では、金属150は、層192製造中にその下側表面上に非導電性層を形成しないように選択される。こうしていくつかの実施例では金属層150は、層192を形成するために用いられる化学種（酸素或いは窒素

) と反応しない金、プラチナ或いは他の金属である。別の実施例では、金属 150 はチタン或いは他の金属であり、誘電体 192 が成長するとき、その金属が導電性層（例えば TiN）を形成する。さらに別の実施例では、金属 150 は、積層体の下側層がその表面上に非導電性材料を形成しないような金属層の積層体である。例えばいくつかの実施例では、下側層は金、プラチナ或いはチタンであり、上側層はアルミニウムである。

集積回路素子の製造ステップは、任意の適切な方法において第 1 図—第 7 図、第 8 A 図、第 8 B 図の背面側コンタクトパッド製造ステップと混在させることができる。

その後ウエハ 104 はダイにダイシングされる。第 9 図—第 10 図は 3 つのダイ 200.1、200.2、200.3 の縦方向相互接続部を示しており、それらは第 1 図—第 7 図、第 8 A 図並びに第 8 B 図も含む場合があるウエハ処理から得られる（層 192 は第 9 図—第 10 図には示されないが、いくつかの実施例では存在する）。異なるダイ 200 は異なる集積回路を含む場合もあり、異なるウエハ 104 から得られる場合もある。第 9 図—第 10 図の参照番号における添字「. i」(i = 1, 2, 3) は、ダイ 200. i における第 1 図—第 7 図、第 8 A 図、第 8 B 図の同一番号への対応を示す。例えば、150C. 3 はダイ 200. 3 における背面側コンタクトパッドを示す。

ウエハがダイシングされた後、はんだボール 210. i (第 9 図) が

金属 180. i の各表面側コンタクトパッド上に自動装置により配置される。はんだ 210 は、金属 150 或いはダイ内に存在する可能性がある任意の他の金属より低い融点を有する。いくつかの実施例では、はんだ 200. i はずず、鉛或いはその合金からなる。いくつかの実施例では、はんだの融点は 120—180 °C である。

いくつかの実施例では、はんだの代わりに導電性エポキシ或いは導電性ポリマーが用いられる。

下側をなすダイに接続される各背面側コンタクトパッド 150C が、下側をなすダイのそれぞれのはんだボール 210 上に配置されるようにダイが配列される

。例えばコンタクトパッド150C. 3は、はんだボール210. 2上に配置される。いくつかの実施例では、他のダイ(図示せず)が、ダイ200. 3の上側及びダイ200. 1の下側をなす。ダイは互いに押圧され、加熱される。加熱温度ははんだ210を溶融或いは軟化するのに十分な温度である。いくつかの実施例では、加熱温度は120～180°Cである。圧力は、金属180の表面側パッドと下側をなす背面側パッド150Cとの間の良好な電気的なコンタクトを形成するのに十分な圧力である。いくつかの実施例では、ウエハを互いに押圧するために加えられる力は100～200gである。

はんだ210及び金属180の表面側コンタクトパッドを露出する誘電体190開口部の寸法は、溶融したはんだが背面側コンタクトパッド150Cの横方向端部に達しないように選択される。例えば、溶融したはんだ210. 2は、コンタクトパッド150C. 3の端部150C. E. 3には達しない。対応する背面側コンタクトパッド150Cに接触する溶融したはんだは、はんだとパッドとの間の境界面において作用する表面張力により背面側コンタクトパッドの中央部に保持される。その結果はんだ210は、上側をなすウエハのシリコン110に接触しない。

突出部分140A及び140B(第8A図)は、露出した金属150とシリコン110との間の距離を増加させる。はんだは金属には付着するが、酸化物140には付着しないため、突出部分140A及び140Bにより、はんだ210がシリコン110に接触するのを防ぐことができる。誘電体192(第8B図)を用いる実施例では、誘電体192により、シリコン110がはんだと接触するのをさらに防ぐことができる。

その後その構造体は冷却される。ダイは縦型集積回路において互いに接続されたままである。

その構造体を強化するために、構造体は真空チャンバ内に配置され、誘電体接着剤220が、当分野における既知の方法によりダイ200間に導入される。接着剤は、はんだ210により形成されるコンタクト間の空間を充填する。

第10図は、はんだ210上に固定された背面側コンタクトパッド150Cを

有する構造体を示す。いくつかの実施例では、表面側コンタクトパッドを露出する誘電体190の各開口部の幅W10は50—100μmである。いくつかの実施例では各開口部は円であり、その開口部幅は開口部直径である。他の実施例では開口部は正方形であり、その幅はその1辺の長さである。各背面側コンタクトパッド150Cの幅W11は30—50μmである。その幅は、誘電体190の開口部の場合に上記したように、直径或いは1辺の長さである。隣接するダイのシリコン基板110の下側表面間距離D10は50μm未満である。各ビア130のアスペクト比はいくつかの実施例では2：1より小さく、ある実施例では約1：1である。アスペクト比が低いため歩留りが改善される。誘電体190の開口部及びコンタクトパッド150Cの幅をより大きくすることにより、すなわちはんだ接続部の面積を大きくすることにより、局部的な加熱が生じる際の熱放散を改善する。

その後マルチダイ構造体は、当技術分野における既知の方法を用いて、プラスチック或いはセラミックパッケージ、または他のパッケージ内に封入される。

第11図—第13図では、ビア130を充填する材料160は二酸化シリコンではなく金属である。第11図では、ウエハは第1図—第5図に示されるように処理される。金属ボール160は、当技術分野における既知の方法を用いて各ビア130内に自動装置により配置される。別法では、金属160は電着により堆積する。電着処理前に、ウエハ表面側は誘電体マスク（図示せず）によりマスクされる。いくつかの実施例では、マスクはフォトレジストからなる。開口部は各ビア130領域のマスク内に形成される。その後電着が実行され、開口部を介してビア内に金属160を堆積させる。その後マスクは除去される。他の実施例では、金属160を堆積させるために他の方法が用いられる。

金属160は、ダイ間を接触させるために用いられるはんだ210（第9図）より高い融点を有する。しかしながら、金属160は層150より低い融点を有する。適当な金属は、すず（融点232℃）、亜鉛（融点420℃）並びにその合金を含む。相互接続部としてアルミニウムを用いるいくつかの実施例では、金属160融点は600℃以下である（アルミニウム融点は660℃である）。

いくつかの実施例では、各ビア130内の金属160の体積はビアの容積よりも小さくし、金属160が溶融するとき、そのビアから溢れ出さないようにする。

ウェハは、層150を溶融することなく金属160（第12図）を溶融するように加熱される。第12図では、金属充填物160の上側表面は、ビア外側の金属150の上側表面と同一平面になるか、或いはそれより低くなる。いくつかの実施例では、金属160はビアから溢れ出し、

ビア外側のウェハの上側表面上に広がる。

その後第13図に示されるように、任意の他の回路素子をビア表面上に形成することができる。詳細にはいくつかの実施例では、金属層150がパターニングされ、第6図の実施例の場合に上記したような導電線を形成する。金属150がエッチングされるとき、ビア130から溢れ出した上側をなす金属160が同時にエッチングされる。

誘電体170（例えばBPSG）、表面側コンタクトパッドを実現する最終的な金属180（例えばAl/Si）並びに誘電体190（例えばBPSG、第13図参照）が堆積し、第7図の実施例と同様にフォトリソグラフィを用いてパターニングされる。いくつかの実施例では、金属180は、真空スパッタリング或いは熱蒸着によるアルミニウム堆積物である。堆積中のウェハ温度は250-300°C以下である。ウェハ温度は金属160の融点以下である。

第8A図に関連して上記したように、ウェハは薄型化される。いくつかの実施例では、第8B図に関連して上記したように、誘電体192が堆積する。他の実施例では誘電体192は省略される。その後の製造は第9図及び第10図に示したように行われる。はんだ210の溶融或いは軟化を含む第8A図、第8B図、第9図、第10図の全ての処理ステップは、金属160の融点より低い温度で実行される。

金属160は集積回路の機械的強度を増加させる。また金属160は、局部加熱が生じる際の熱放散を改善する。

第14図では、充填物160が省略される。第5図の構造体の製造後、誘電体190（いくつかの実施例ではBPSG）が導電性層150上に堆積する。誘電

体190はマスクエッチングによりビア130内から除去される。またエッティングにより、領域150Fのように、金属150の選択された領域から誘電体190が除去され、ビア130から離隔して表面側コンタクトパッドを形成する。

ウェハはダイにダイシングされる。ビア130の深さより大きな直径のはんだボール210がビア内に配置される。またはなんだは、上側をなすダイの背面側コンタクトパッド150Cに接続される表面側コンタクトパッド150F上にも配置される。はんだが溶融或いは軟化するとき、そのはんだの上側表面が、コンタクト150F上のはんだ部分（図示せず）の上側表面と概ね同じ高さになるよう、ビア130内のはんだ210は十分に厚くされる。第9図—第10図に記載したように、ダイ200は整列され、互いに押圧され、加熱される。はんだが溶融或いは軟化し、隣接するダイとの間のコンタクトを形成する。

いくつかの実施例では、上側ダイを除く各ダイの層190は、シリコン基板110或いは（存在する場合には）隣接する上側をなすダイの誘電体192と接触する。層190とシリコン110或いは誘電体192との間の摩擦力がせん断力に対する十分な耐性をもたらすため、いくつかの実施例では接着剤は省略される。

いくつかの実施例では、上側の各ビア130の幅W14は90—150μmである。各背面側コンタクトパッド150Cの幅W11は30—50μmである。隣接するダイ上の同様の点間、例えば隣接するダイの基板110の下側表面間距離D14は30—50μmである。

第15図では、表面側コンタクトパッドはビア130の上側ではない。表面側コンタクトパッド150Fはビア130外側に形成される。パッド150Fは、第14図に記載したようなA1/Si層150から、或いは他の金属層から形成される。いくつかの実施例では充填物160は省略されるが、別の実施例では存在する。はんだボール210はコンタクトパッド150F上のBPSG190開口部に配置される。対応する表面側コンタクトパッド150F上に背面側コンタクトパッド150C

が配置されるように、ダイが配列される。第9図、第10図並びに第14図に関連して上記したように、ダイは加熱され、互いに押圧される。

はんだ210はコンタクトパッド間のコンタクトを形成する。第9図及び第10図に関連して上記したように、接着剤（図示せず）がダイ間の空間に導入される。第15図のいくつかの実施例では、誘電体192（第8B図）が存在するが、他の実施例では存在しない。

いくつかの実施例では、誘電体190の上側表面から背面側コンタクトパッド150Cの下側表面まで計測したダイ厚T15は $25\mu m$ である。他の実施例では他の厚さが用いられる。

第16図は、コンタクトパッド150C及び（選択的に）誘電体192の堆積物を露出するエッチングを含む背面側プラズマ処理を示す。その処理は、IPEC/Precision, Incから購入できるエッチング剤PaceJet IIにおいて或いは第8A図に関連して上記したような他のエッチング剤において常圧で実行される。エッチング及び堆積中に、ウエハ104は非接触ウエハホルダ1610に保持される。ウエハ表面側はホルダ1610の方に向けられる。ホルダ1610は、ウエハと物理的に接触することなく上側からウエハを保持する。参照して本明細書の一部としている1980年5月8日に公告された発明者A. F. Andreev及びR. A. LuusのUSSR発明者証第732198号も参照されたい。ウエハホルダ1610とウエハ104との間の円形ガス流（渦流）1614により、ウエハはホルダに近接して保持されるが、ウエハはホルダに接触することはない。それゆえウエハ表面側上の回路1618が、ホルダと物理的に接触するのを防ぐために、またはエッチングされるのを、或いは逆にプラズマジェット1624により損傷を受けるのを防ぐために保護層を設ける必要はない。発生器により発生したプラズマジェット1624がウエハ背面側104Bを走査するように、プラズマジェット発生器162

0は水平方向に移動する。

第17図-第18図は、ウエハを薄型化するために適した別の常圧プロセスを示す。第17図は、第17A図-第17D図からなる。第17A図は、薄型化処

理直前のウエハ 104 を示す。回路 1618 はウエハ表面側上に製造されている。いくつかの実施例では、ウエハ厚さは  $600 - 720 \mu\text{m}$  である。シリコンが既知の方法（例えば機械研削）によりウエハ背面から除去され、ウエハ厚が  $150 - 350 \mu\text{m}$  に減少する。その結果形成されるウエハが第 17B 図に示される。ウエハはチップ 200 にダイシングされる（第 17C 図）。各チップの厚さは  $150 - 350 \mu\text{m}$  である。チップは、当技術分野における既知の方法により検査され、選別される。チップは常圧のフッ素含有プラズマによりさらに薄型化され、（選択的に）誘電体 192 が、第 18 図において示されるようにエッチング直後に背面側に堆積する。第 18 図のエッチング剤及び処理は第 16 図のものと同様であるが、第 18 図では非接触チップホルダ 1610 が、ウエハではなく個々のチップ（第 18 図では 3 チップ）を保持する。各チップはホルダ 1610 の個々のセグメント内に配置され、第 16 図と同様のガス流 1614 により適所に保持される。ビア底面における誘電体 140 が除去され、（選択的に）誘電体 192 が堆積するまで、プラズマジェット 1624 が背面側から全てのチップを走査する。回路 1618 用の保護層は必要ない。

チップの常圧背面側エッチングにより、チップの厚さは  $50 \mu\text{m}$  未満に減少する（第 17D 図）。

チップ 200 は、第 10 図、第 14 図、第 15 図に関連して上記したように積層してパッケージ化ができる。

第 17 図の二段階処理（例えば機械研削、その後プラズマ処理）は、いくつかの実施例では製造コストを低減する。実際には製造歩留りに依

存するが、未使用領域と共に「不良」ダイにより占有されるウエハの面積は相当量、例えばウエハの 50% になる場合もある。ウエハが、薄型化が第 17 図の処理のように完了する以前にダイシングされ、さらに「良好な」ダイのみが薄型化され、（選択的に）誘電体 192 を設けられる場合には、ウエハ全体を薄型化し、かつウエハ全体に誘電体 192 を堆積するのに比べて薄型化及び堆積における時間及び原料が低減される。さらに  $50 \mu\text{m}$  まで薄型化された 6-8 インチウエハは、同じ厚さを有しているが、より小さな横方向寸法（いくつかの実施例では

1インチ未満)を有するダイより壊れやすい。このことが、第17図の実施例において製造コストが低減されるのとは別の本発明の利点である。

いくつかの実施例では、第16図、第17図並びに第18図の処理を用いて、縦型集積回路には用いられないウエハ或いはダイを薄型化する。いくつかの実施例では、背面側エッティングにより、導電性コンタクトが露出する場合も露出しない場合もある。第16図—第18図の処理は、各ダイ或いはウエハの表面側内に或いはその上側に、1つ或いはそれ以上の回路素子を製造する工程に後続する。それゆえ回路素子の製造が、ウエハが最終的な厚さより厚いとき実行されるため、機械的に強固になる。

上記実施例は例示であり、本発明を制限するものではない。詳細には、本発明は、縦型集積回路のダイの数(ダイの数は、2以上の任意の数にすることができる)により、或いは任意の特定の厚さ、開口部幅或いは他の寸法により制限されない。また本発明は任意の特定の材料により制限されるものではない。いくつかの実施例では、シリコン以外のウエハが用いられる。

### 付録

#### 材料除去のためのPaceJet II技術

IPEC/Precisionから市販されるPaceJet IIは、背面薄膜除去及びウエハ薄型化のための方法を提供する。PaceJet IIは、処理ステップを削除することによりウエハ或いはデバイスの製造コストを低減する非接触材料除去システムである。また PaceJet IIにより、背面側研削装置の制限を超えるレベルまでウエハを薄型化することができる。

PaceJet IIは、IPEC's Plasma Assisted Chemical Etchingの常圧変形例、すなわちPACE, Technologyを用いる。この方法は、ウエハ基板或いは表面側デバイスを損傷することなく高いエッティング速度を達成する。

PaceJet IIはPACE Technologyを非接触ウエハ保持技術と組み合わせて、従来の研削及びウエット化学エッティングに関して著しい利点を提供する。

#### 特徴及び利点

特徴	利点
PACE の高速形成	スループットの向上。円滑で、汚染がなく、損傷のないウエハ表面の形成。
5 ウエハ円形コンペア処理	スループットの向上。
惑星状ウエハ動作	一様な軸対称エッチング除去の実現。
常圧動作	非真空処理 - 複雑性及びコストの低減。
非接触ウエハホルダ	背面側処理の場合に、ウエハのデバイス側との接触を排除。
窒素「ペール」	表面接触なくウエハを保持。レジスト／テープを用いてウエハのデバイス側を保護する必要性の排除。
低エネルギー plasma	ウエハのデバイス側上に電荷が蓄積する危険性を排除。
小フットプリント ( $1.3 \text{ m}^2$ 或いは $13.9 \text{ ft}^2$ )	クリーンルーム或いは必要とされるチエイス面積の最小化。

応用例

プロセス	Pace Jet IIにより代替或いは削減されるプロセスステップ	利点
背面側薄膜除去	代替： (a) 研削、ウエットエッチング或いは真空プラズマ。 (b) 表面側へのレジスト被膜。 (c) レジスト剥離。	研削損傷、例えばSi内の微小クラックの排除。 再現性。 プロセスステップ及び装置の低減。 ウエット化学処理の排除。
背面側ウエハ薄型化	代替： (a) レジスト被膜。 (b) ウエットエッチング。 (c) レジスト剥離。	研削／ラッピングによる薄さ制限の排除。 デバイス側を保護することなく不具合層を除去。 チップパッケージング、速度並びに熱放散
ウエハ処理	代替： (a) ラッピング或いは研削。 (b) 化学エッチング。 削減： (a) 研磨ステップ数(3)。 (b) 洗浄数(3)。	コスト／ウエハの低減。 ウエハ処理歩留りの改善。 投資の削減。
結合SOI ウエハの薄型化	代替： (a) 精細な研削。 (b) 研磨及び洗浄(選択による)。 削減：検査数。	コスト／結合ウエハの低減。 歩留りの改善。 投資の削減。 SOIウエハ品質の改善。

性能

## ウエハサイズ及び材料除去に基づくウエハ処理スループット

	ウエハ／時間	
	150-mm	200-mm
400 nm Si <sub>3</sub> N <sub>4</sub>	180	144
20 μm シリコン	45	27

Si除去深さに基づく表面粗さ

	シリコン除去深さ ( $\mu\text{m}$ )		
	200	100	10
初期微小粗さにおける改善率	86%	65%	10%
例：初期粗さ 100 nm の場合の最終粗さ	14 nm	35 nm	90 nm

Si 除去深さ及びウェハサイズに依存しない追加の材料除去非一様性： $< 0.5 \mu\text{m}$

カセットーカセット間、全自動化動作。

システムフットプリント：約 84 cm (W) × 156 cm (D)

【図 1】

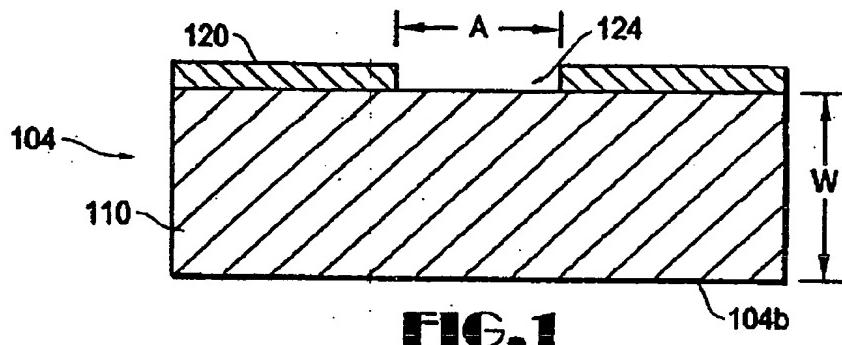


FIG.1

【図 2】

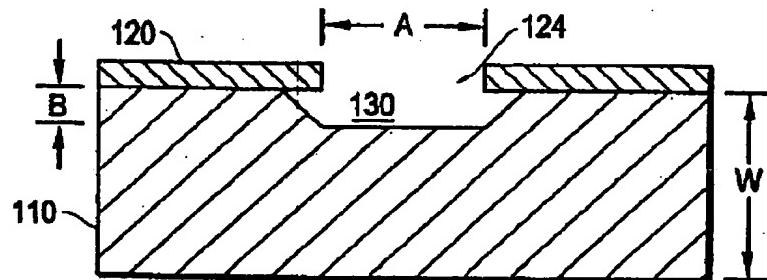
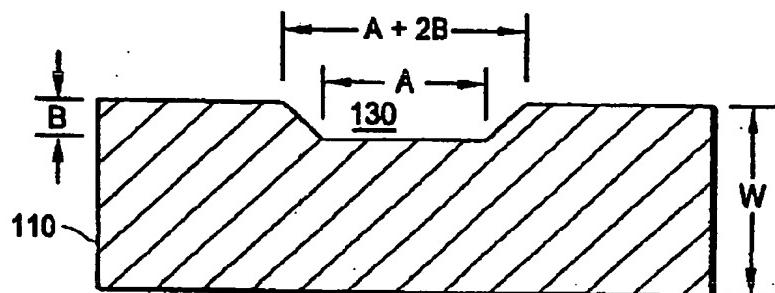
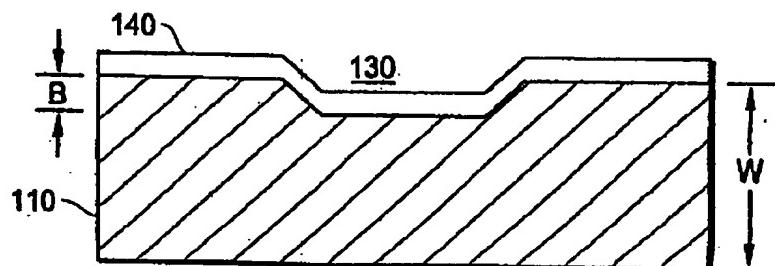


FIG.2

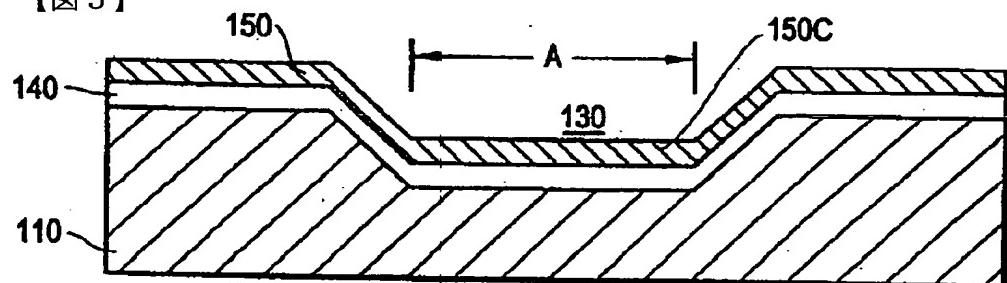
【図3】

**FIG.3**

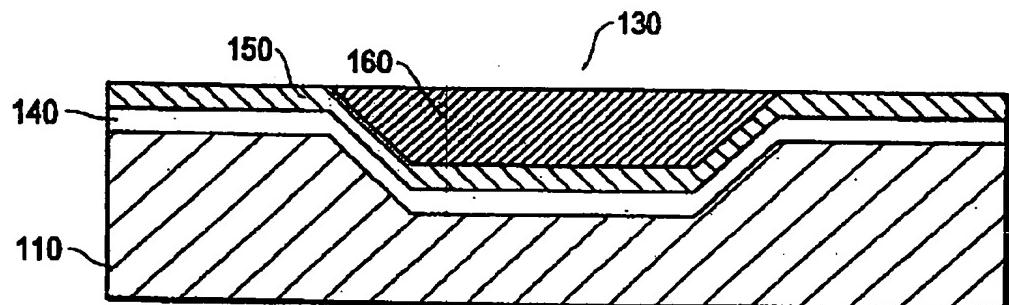
【図4】

**FIG.4**

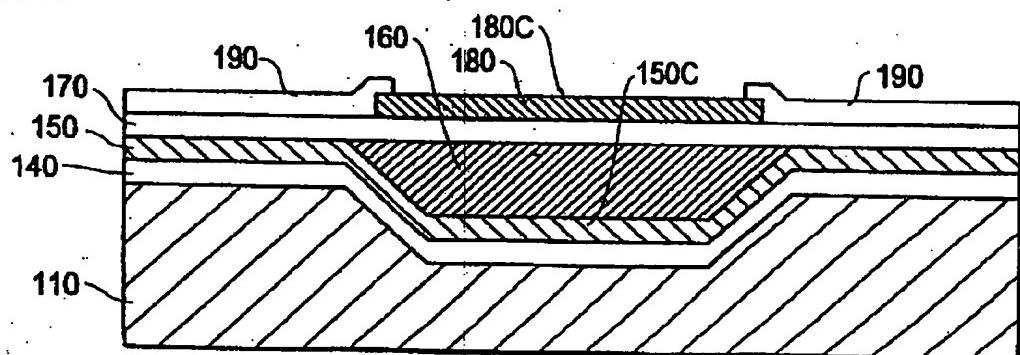
【図5】

**FIG.5**

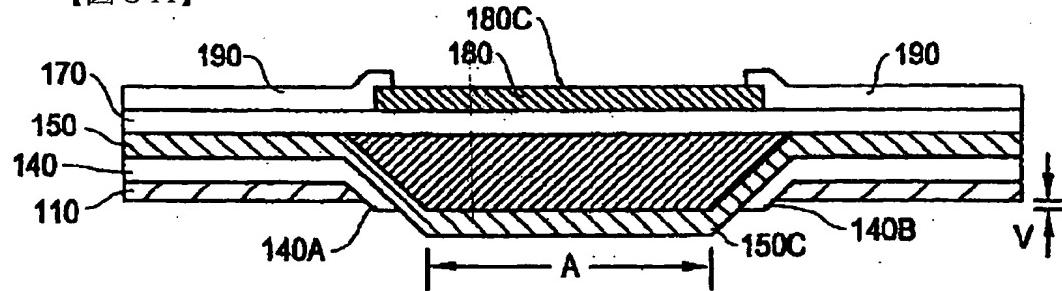
【図6】

**FIG.6**

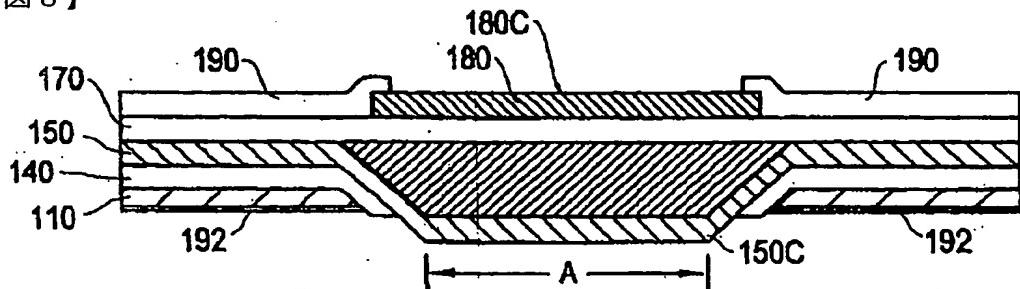
【図7】

**FIG.7**

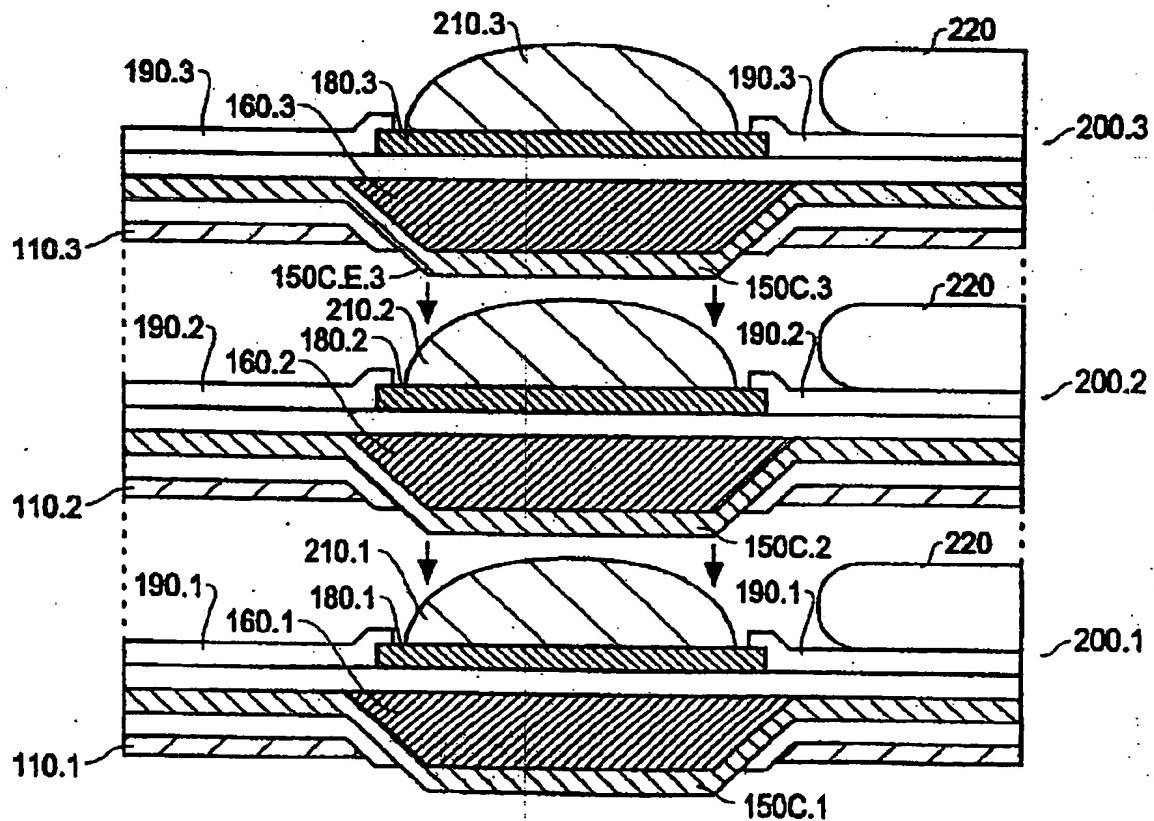
【図8A】

**FIG.8A**

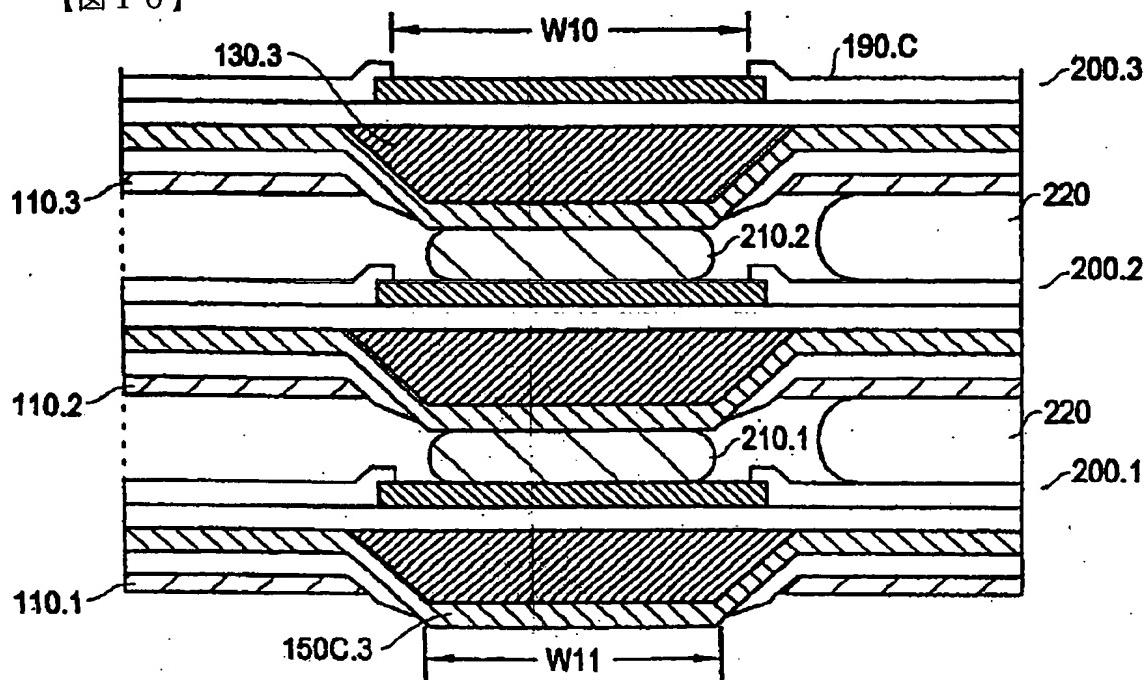
【図8】

**FIG.8B**

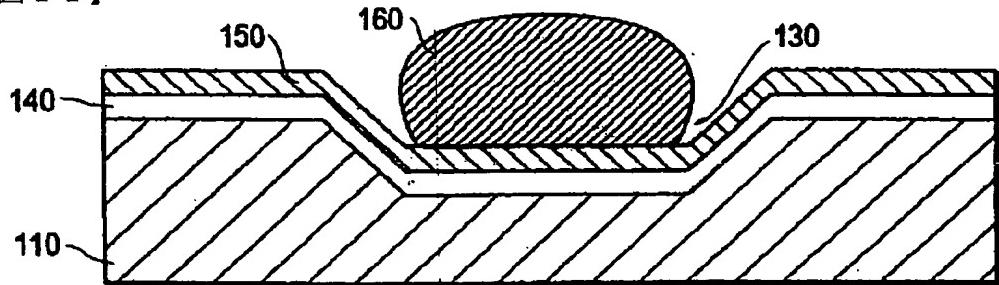
【図9】

**FIG.9**

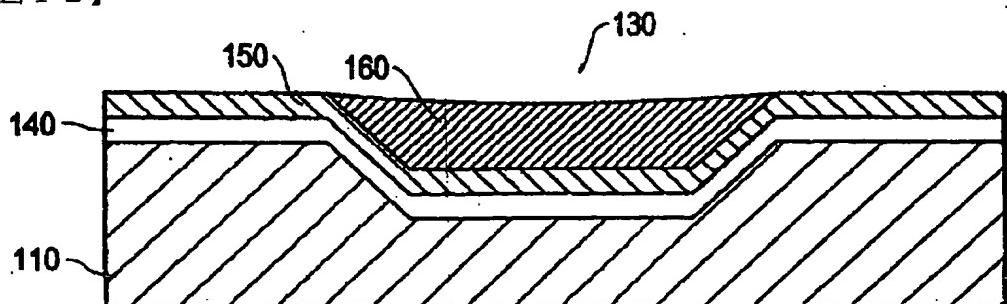
【図 10】

**FIG. 10**

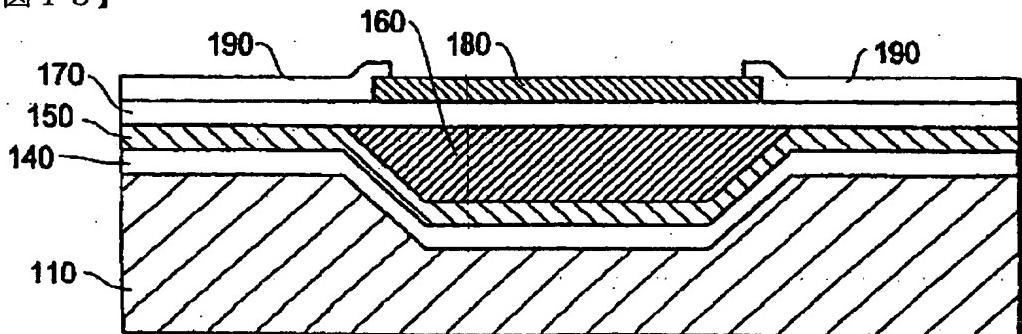
【図 11】

**FIG. 11**

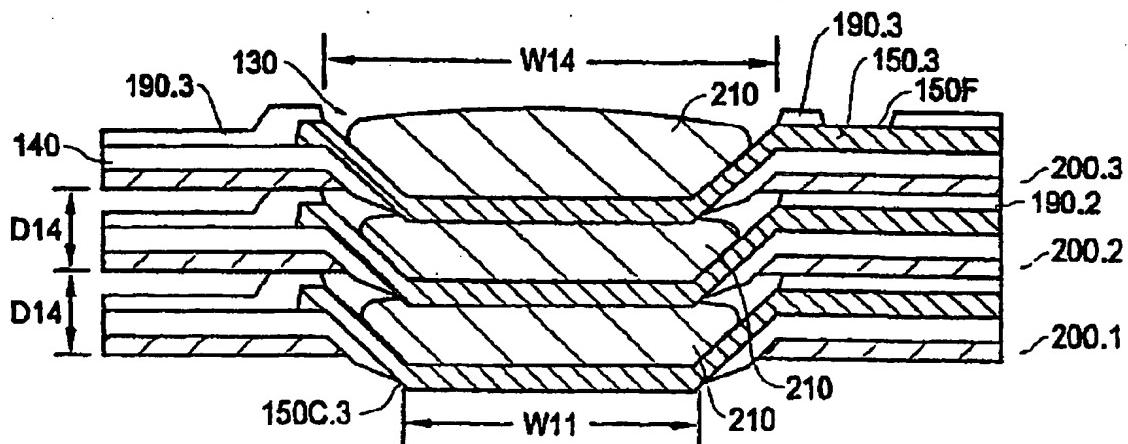
【図12】

**FIG.12**

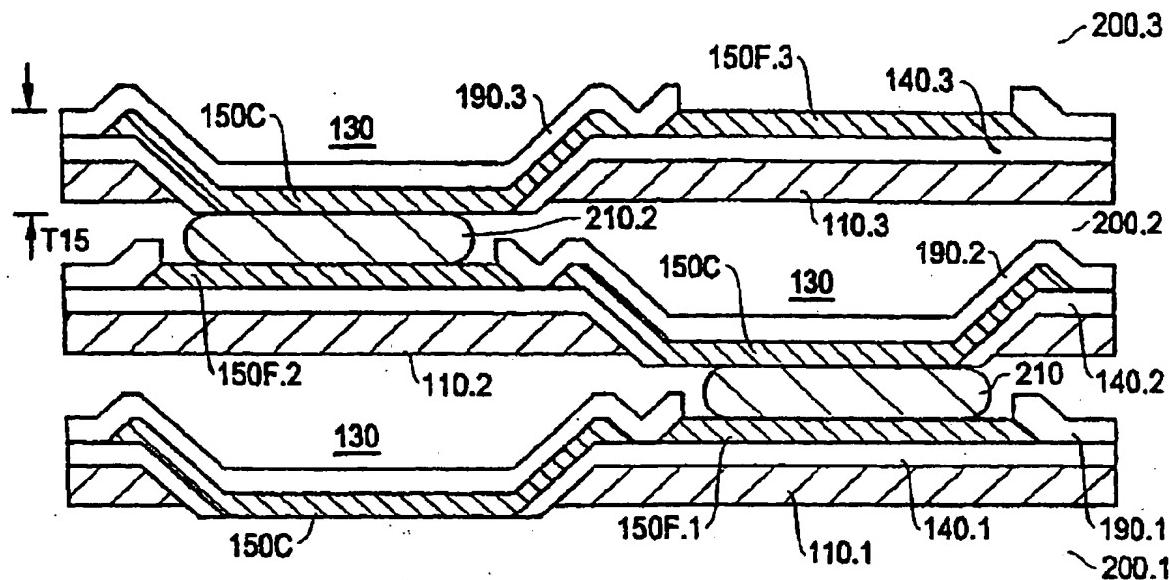
【図13】

**FIG.13**

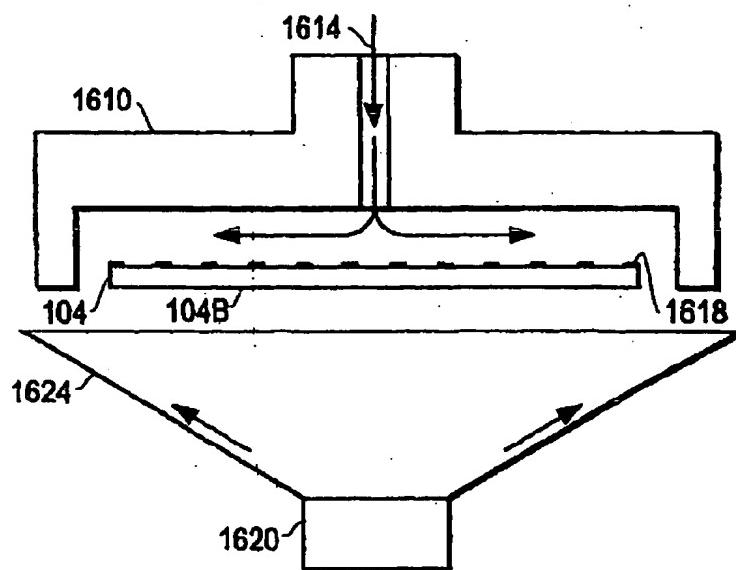
【図14】

**FIG.14**

【図15】

**FIG.15**

【図16】

**FIG.16**

【図17】



FIG. 17A



FIG. 17B



FIG. 17C



FIG. 17D

【図18】

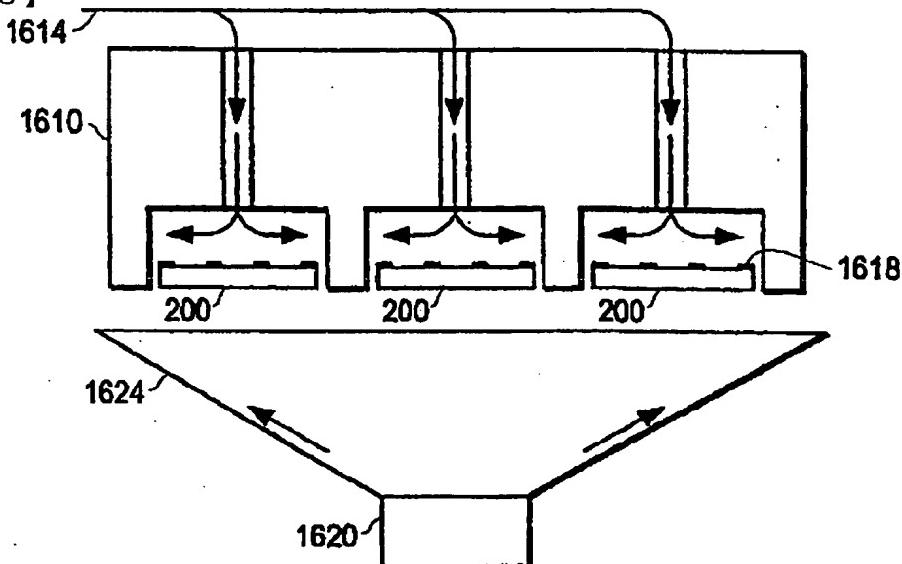


FIG.18

【手続補正書】特許法第184条の8第1項

【提出日】平成11年2月10日(1999.2.10)

【補正内容】

12. 各コンタクト周囲の前記誘電体が、前記第2の側に垂直な方向において少なくとも $8 \mu m$ だけ前記第2の側の前記半導体材料から突出することを特徴とする請求項11に記載の集積回路。

13. 前記コンタクトを除いて、前記回路の前記第2の側を被覆する誘電体をさらに備えることを特徴とする請求項11に記載の集積回路。

14. 前記コンタクトの少なくとも1つが別の集積回路上の導電性コンタクトと接触するように1つ或いはそれ以上の他の集積回路と結合して、前記結合により縦型集積回路が形成されることを特徴とする請求項11に記載の集積回路。

15. 集積回路を製造するための方法であって、

第1の側に1つ或いはそれ以上の開口部を有する本体を設ける過程と、

前記各開口部内の導体が第1の誘電体により前記本体から隔離されるように、前記1つ或いはそれ以上の各開口部内に前記第1の誘電体及び前記導体を形成する過程と、

前記本体の第2の側から材料を除去し、各開口部の前記導体を露出する過程と

1つ或いはそれ以上の露出した導体上に誘電体層を形成しない処理により、前記本体の前記第2の側上に誘電体層を形成する過程とを有することを特徴とする方法。

16. 前記本体の前記第2の側上に前記誘電体層を形成する過程が、前記第2の側を、前記本体の前記材料と反応する化学種を含むプラズマに暴露し、前記1つ或いはそれ以上の露出した導体上に誘電体を形成することなく前記誘電体層を形成する過程からなることを特徴とする請求項15に記載の方法。

17. 縦型集積回路を製造するための方法であって、

複数の個別の集積回路を製造する過程を有し、

前記個別の集積回路の製造が完了した後、さらに個別の集積回路が前記回路の

最終厚に製造され、前記個別の集積回路を互いに付着し、縦型集積回路を形成し

前記個別の集積回路を製造する過程が、前記個別の回路が非接触ホルダ内に保持され、前記個別の回路の少なくとも1つを背面側エッティングする過程からなることを特徴とする方法。

19. 集積回路を製造するための方法であって、

半導体ウエハから複数の集積回路を製造する過程であって、前記集積回路を有する前記ウエハが各集積回路の前記最終厚より厚い、該製造過程と、

前記ウエハをダイにダイシングする過程と、

1つ或いはそれ以上のダイが非接触ホルダ内に保持され、前記ウエハから得られる前記1つ或いはそれ以上のダイを薄型化する過程とを有することを特徴とする方法。

20. 複数の集積回路を製造する過程が、前記ウエハの第1の側内に或いはその上に1つ或いはそれ以上の回路素子を製造する過程からなり、各ダイが前記ウエハの前記第1の側の一部である第1の側を有し、

前記薄型化処理中に、前記1つ或いはそれ以上の各ダイの前記第1の側が、前記1つ或いはそれ以上のダイの前記第1の側内に或いはその上に製造される1つ或いはそれ以上の回路素子がエッティングされるのを防ぐ前記非接触ホルダに面することを特徴とする請求項19に記載の方法。

21. 前記エッティング処理が、常圧におけるフッ素含有プラズマエッティングであることを特徴とする請求項19に記載の方法。

22. 前記ウエハがシリコンからなることを特徴とする請求項19に記載の方法。

。

23. 前記1つ或いはそれ以上のダイの前記薄型化過程に先行して、前

記集積回路が検査され、前記検査に合格したダイにおいてのみ薄型化が実行されることを特徴とする請求項19に記載の方法。

24. 前記処理が、材料の前記除去過程において除去される前記第1の誘電体の総量の少なくとも実質的な一部を除去することを特徴とする請求項1乃至10の

いずれか一項に記載の方法。

25. 材料の前記除去過程において除去される全ての前記第1の誘電体が、前記本体の材料の除去と同時に、しかしながら前記本体の前記材料より遅い速度で除去されることを特徴とする請求項1乃至10のいずれか一項に記載の方法。

26. 材料の前記除去過程において除去される全ての前記第1の誘電体が、前記本体の半導体材料の除去と同時に、しかしながら前記本体の前記半導体材料より遅い除去速度で除去されることを特徴とする請求項1乃至10のいずれか一項に記載の方法。

27. 前記半導体材料がシリコンであることを特徴とする請求項26に記載の方法。

28. 前記第2の側からみて、前記各開口部の前記第1の誘電体が前記本体の半導体材料により横方向に包囲され、

前記第1の誘電体が前記各開口部において除去され、前記第2の側から前記導体が露出するとき、前記本体の前記横方向に包囲する半導体材料が同時に、しかも前記第1の誘電体より速い速度で除去されることを特徴とする請求項1乃至10のいずれか一項に記載の方法。

29. 前記本体の前記材料より遅い速度で前記第1の誘電体を除去する過程が、前記各開口部における前記導体と前記本体との間の電気的絶縁性を改善することを特徴とする請求項1乃至10のいずれか一項に記載の方法。

30. 前記第2の側に露出した少なくとも1つの導体を、はんだを用い

て別の導体に取着する過程をさらに有し、前記第1の誘電体が前記露出した導体周囲において前記第2の側から突出し、前記はんだと前記本体との間の電気的絶縁性を改善することを特徴とする請求項1乃至10のいずれか一項に記載の方法。

31. 材料を除去する前記処理が、少なくとも前記導体が前記各開口部において露出するまで、前記第2の側において露出した前記材料の全てを除去する、マスクを用いないエッチングであることを特徴とする請求項1乃至10のいずれか一項に記載の方法。

32. 前記各開口部の前記導体が露出した後、前記処理を継続して、前記本体の前記材料を除去すると同時に、前記本体の前記材料より遅い速度で前記第1の誘電体を除去することを特徴とする請求項1乃至10のいずれか一項に記載の方法。

【手続補正書】

【提出日】平成11年8月2日(1999.8.2)

【補正内容】

請求の範囲

1. 集積回路を製造するための方法であって、

第1の側に1つ或いはそれ以上の開口部を有する本体を設ける過程と、

前記1つ或いはそれ以上の各開口部内に第1の誘電体及び導体を形成する過程であって、前記各開口部内の前記導体が、前記第1の誘電体により前記本体から隔離される、該過程と、

前記本体の第2の側から材料を除去し、前記各開口部の前記導体を露出させる過程とを有し、前記材料の前記除去過程が、前記第1の誘電体の除去速度が前記本体の材料の除去速度より遅くなる処理からなることを特徴とする方法。

2. 前記処理において、前記第1の誘電体の前記処理速度が、前記本体の前記材料の前記処理速度の約10分の1であることを特徴とする請求項1に記載の方法。

3. 前記処理において、前記誘電体の前記処理速度が前記導体の前記処理速度より速いことを特徴とする請求項1に記載の方法。

4. 前記本体の前記第2の側からの前記材料の除去に後続して、前記第2の側上に露出した前記導体上を除いて、前記本体の前記第2の側上に第2の誘電体を形成する過程を有することを特徴とする請求項1に記載の方法。

5. 前記第2の側から材料を除去する過程が、前記本体が非接触ホルダ内に保持され、概ね常圧で前記本体の前記第2の側をプラズマエッチングする過程からなることを特徴とする請求項1に記載の方法。

6. 前記第2の側からの前記材料の除去が完了する前に、前記本体をダイシング

する過程をさらに有し、

前記第2の側から材料を除去する過程が、個々のダイから材料を除去する過程からなることを特徴とする請求項1に記載の方法。

7. 前記第2の側から材料を除去する過程が、

前記本体がダイシングされる前に前記第2の側から材料を除去する過程と、

前記本体がダイシングされた後に個々のダイから材料を除去する過程とからなることを特徴とする請求項6に記載の方法。

8. 個々のダイから材料を除去する過程に先行して、前記本体の前記ダイを検査する過程を有し、個々のダイから前記材料を除去する過程が、前記検査に合格し

たダイ上でのみ実行されることを特徴とする請求項6に記載の方法。

9. 前記本体が半導体材料からなることを特徴とする請求項1に記載の方法。

10. 前記第2の側からの前記材料の除去後に、別の集積回路のコンタクトパッドと接触する少なくとも1つの露出した導体を用いて、前記本体の少なくとも1つの集積回路を1つ或いはそれ以上の他の集積回路に接続し、縦型集積回路を形成する過程をさらに有することを特徴とする請求項1に記載の方法。

11. 集積回路であって、

本体の第1の側内に或いはその上に形成される1つ或いはそれ以上の回路素子を有する半導体本体と、

前記本体の第2の側から突出する1つ或いはそれ以上の導電性コンタクトであって、少なくとも1つのコンタクトが、1つ或いはそれ以上の導電線により前記第1の側内に或いはその上に形成される1つ或いはそれ以上の回路素子に接続される、該導電性コンタクトと、

各コンタクトを前記本体から隔離する誘電体であって、各コンタクトに隣接する前記誘電体が、各コンタクト周囲の前記第2の側の前記半導体材料から突出する、該誘電体とを有することを特徴とする集積回路。

12. 各コンタクト周囲の前記誘電体が、前記第2の側に垂直な方向において少なくとも $8 \mu m$ だけ前記第2の側の前記半導体材料から突出することを特徴とする請求項11に記載の集積回路。

13. 前記コンタクトを除いて、前記回路の前記第2の側を被覆する誘電体をさらに備えることを特徴とする請求項11に記載の集積回路。

14. 前記コンタクトの少なくとも1つが別の集積回路上の導電性コンタクトと接触するように1つ或いはそれ以上の他の集積回路と結合して、前記結合により縦型集積回路が形成されることを特徴とする請求項11に記載の集積回路。

15. 集積回路を製造するための方法であって、

第1の側に1つ或いはそれ以上の開口部を有する本体を設ける過程と、

前記各開口部内の導体が第1の誘電体により前記本体から隔離されるように、前記1つ或いはそれ以上の各開口部内に前記第1の誘電体及び前記導体を形成する過程と、

前記本体の第2の側から材料を除去し、各開口部の前記導体を露出する過程と

1つ或いはそれ以上の露出した導体上に誘電体層を形成しない処理により、前記本体の前記第2の側上に誘電体層を形成する過程とを有することを特徴とする方法。

16. 前記本体の前記第2の側上に前記誘電体層を形成する過程が、前記第2の側を、前記本体の前記材料と反応する化学種を含むプラズマに暴露し、前記1つ或いはそれ以上の露出した導体上に誘電体を形成することなく前記誘電体層を形成する過程からなることを特徴とする請求項15に記載の方法。

17. 縦型集積回路を製造するための方法であって、

複数の個別の集積回路を製造する過程を有し、

前記個別の集積回路の製造が完了した後、さらに個別の集積回路が前記回路の最終厚に製造され、前記個別の集積回路を互いに付着し、縦型集積回路を形成し

前記個別の集積回路を製造する過程が、前記個別の回路が非接触ホルダ内に保持され、前記個別の回路の少なくとも1つを背面側エッチングする過程からなることを特徴とする方法。

18. 集積回路を製造するための方法であって、

半導体ウエハから複数の集積回路を製造する過程であつて、前記集積回路を有する前記ウエハが各集積回路の前記最終厚より厚い、該製造過程と、

前記ウエハをダイにダイシングする過程と、

1つ或いはそれ以上のダイが非接触ホルダ内に保持され、前記ウエハから得られる前記1つ或いはそれ以上のダイを薄型化する過程とを有することを特徴とする方法。

19. 複数の集積回路を製造する過程が、前記ウエハの第1の側内に或いはその上に1つ或いはそれ以上の回路素子を製造する過程からなり、各ダイが前記ウエハの前記第1の側の一部である第1の側を有し、

前記薄型化処理中に、前記1つ或いはそれ以上の各ダイの前記第1の側が、前記1つ或いはそれ以上のダイの前記第1の側内に或いはその上に製造される1つ或いはそれ以上の回路素子がエッチングされるのを防ぐ前記非接触ホルダに面することを特徴とする請求項18に記載の方法。

20. 前記エッチング処理が、常圧におけるフッ素含有プラズマエッチングであることを特徴とする請求項18に記載の方法。

21. 前記ウエハがシリコンからなることを特徴とする請求項18に記載の方法。

22. 前記1つ或いはそれ以上のダイの前記薄型化過程に先行して、前記集積回路が検査され、前記検査に合格したダイにおいてのみ薄型化が実行されることを特徴とする請求項18に記載の方法。

23. 前記処理が、材料の前記除去過程において除去される前記第1の誘電体の総量の少なくとも実質的な一部を除去することを特徴とする請求項1乃至10のいずれか一項に記載の方法。

24. 材料の前記除去過程において除去される全ての前記第1の誘電体が、前記本体の材料の除去と同時に、しかしながら前記本体の前記材料より遅い速度で除去されることを特徴とする請求項1乃至10のいずれか一項に記載の方法。

25. 材料の前記除去過程において除去される全ての前記第1の誘電体が、前記本体の半導体材料の除去と同時に、しかしながら前記本体の前記半導体材料より

遅い除去速度で除去されることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の方法。

26. 前記半導体材料がシリコンであることを特徴とする請求項 25に記載の方法。

27. 前記第 2 の側からみて、前記各開口部の前記第 1 の誘電体が前記本体の半導体材料により横方向に包囲され、

前記第 1 の誘電体が前記各開口部において除去され、前記第 2 の側から前記導体が露出するとき、前記本体の前記横方向に包囲する半導体材料が同時に、しかも前記第 1 の誘電体より速い速度で除去されることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の方法。

28. 前記本体の前記材料より遅い速度で前記第 1 の誘電体を除去する過程が、前記各開口部における前記導体と前記本体との間の電気的絶縁性を改善することを特徴とする請求項 1 乃至 10 のいずれか一項に記載の方法。

29. 前記第 2 の側に露出した少なくとも 1 つの導体を、はんだを用いて別の導体に取着する過程をさらに有し、前記第 1 の誘電体が前記露出した導体周囲において

前記第 2 の側から突出し、前記はんだと前記本体との間の電気的絶縁性を改善することを特徴とする請求項 1 乃至 10 のいずれか一項に記載の方法。

30. 材料を除去する前記処理が、少なくとも前記導体が前記各開口部において露出するまで、前記第 2 の側において露出した前記材料の全てを除去する、マスクを用いないエッティングであることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の方法。

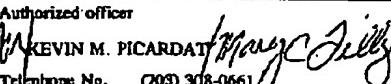
31. 前記各開口部の前記導体が露出した後、前記処理を継続して、前記本体の前記材料を除去すると同時に、前記本体の前記材料より遅い速度で前記第 1 の誘電体を除去することを特徴とする請求項 1 乃至 10 のいずれか一項に記載の方法

。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No. PCT/US97/18979
---

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC(6) :H01L 21/44, 21/56, 21/60 US CL :438/108, 109, 459 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)  U.S. : 438/108, 109, 113, 114, 453, 459		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
<b>Category*</b>	<b>Citation of document, with indication, where appropriate, of the relevant passages</b>	<b>Relevant to claim No.</b>
Y	US 5,135,878 A (BARTUR) 04 August 1992 (04/08/92) col. 4, line 17, to col. 5, line 20.	1-23
Y	US 5,304,036 A (DEKKER et al) 02 April 1996 (02/04/96) col. 6, lines 5-56.	1-23
A	US 4,954,438 A (REID) 04 September 1990 (04/09/90) entire document.	1-23
A	US 5,270,261 A (BERTIN et al) 14 December 1993 (14/12/93) entire document.	1-23
A	US 5,472,914 A (MARTIN et al) 05 December 1995 (05/12/95) entire document.	1-23
A	US 4,141,135 A (HENRY et al) 27 February 1979 (27/02/79) entire document.	1-23
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:      "A" document defining the general state of the art which is not considered to be of particular relevance      "E" earlier document published on or after the international filing date      "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)      "D" document referring to an oral disclosure, use, exhibition or other means      "P" document published prior to the international filing date but later than the priority date claimed   </p>		<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention      "R" documents of particular relevance; the claimed invention cannot be considered novel or can only be considered to involve an inventive step when the document is taken alone      "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art      "A" document member of the same patent family   </p>
Date of the actual completion of the international search  02 FEBRUARY 1998	Date of mailing of the international search report  04 MAR 1998	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230	Authorized officer  KEVIN M. PICARDAT Telephone No. (703) 308-0661	